

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044419

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01L 29/78
H01L 21/316
H01L 21/318

(21)Application number : 11-200830

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 14.07.1999

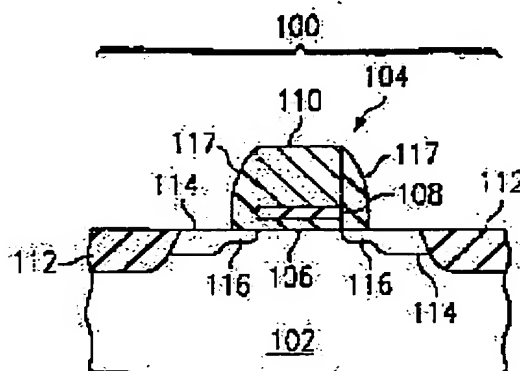
(72)Inventor : HATTANGADY SUNIL V
GEORGE A BROWN
MALCOLM J BEVAN

(54) FORMATION METHOD FOR GATE LAMINATION HAVING HIGH K DIELECTRIC

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the electrical thickness of a gate dielectric.

SOLUTION: A gate lamination 104 comprises a gate dielectric having reduced electric thickness. A thin (for example, up to 15 Å) silicon dioxide layer is formed on a substrate 102. The silicon dioxide layer is subjected to remote plasma nitriding, so that a silicon oxide/nitride layer 106 of oxidation resistance is formed. A high K dielectric 108 comprising oxygen is formed on the silicon oxide/nitride layer 106 without the addition of oxidation at the layer 106. Then a gate electrode 110 is formed on the high K dielectric 108.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-44419
(P2001-44419A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 29/78
21/316
21/318

H 0 1 L 29/78
21/316
21/318

3 0 1 C 5 F 0 4 0
M 5 F 0 5 8
C

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平11-200830

(22) 出願日 平成11年7月14日 (1999.7.14)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 サニル プイ. ハッタンガディ

アメリカ合衆国, テキサス, マッキニイ,
セント レミイ ドライブ 2403

(72) 発明者 ジョージ エイ. ブラウン

アメリカ合衆国, テキサス, アーリント
ン, リッジビュー ドライブ 1512

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

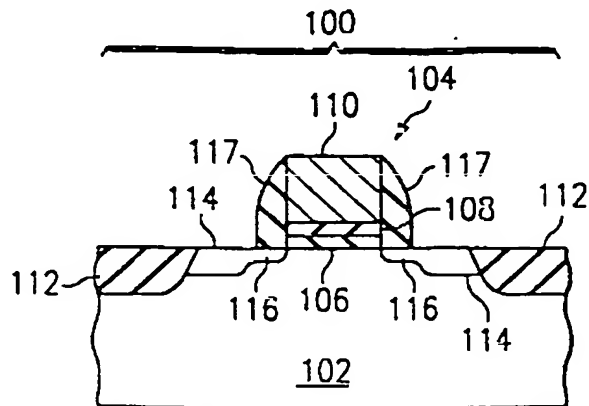
最終頁に続く

(54) 【発明の名称】 高K誘電体を有するゲート積層の形成方法

(57) 【要約】

【課題】 ゲート誘電体の事実上の電気的厚みを減少する。

【解決手段】 事実上の電気的厚みが減少されたゲート誘電体を有するゲート積層 (104)。薄い (例えば、～15オングストローム) 二酸化シリコン層が基板 (102) 上に形成される。二酸化シリコン層のリモート・プラズマ窒化が行われ、酸化に対する耐性を有するシリコン酸化窒化物層 (106) をつくる。酸素を含有する高K誘電体 (108) は、層 (106) の酸化を付加することなく、シリコン酸化窒化物層 (106) 上に形成される。その後、ゲート電極 (110) が高K誘電体 (108) 上に形成される。



【特許請求の範囲】

【請求項1】 集積回路を製造する方法であって、半導体基板上に二酸化シリコン層を形成し、前記二酸化シリコン層をリモート・プラズマ窒化に曝して、前記二酸化シリコン層をシリコン酸化窒化物層に変え、前記シリコン酸化窒化物層上に高K誘電体層を形成し、前記高K誘電体層は10より大きい誘電率を有し、前記高K誘電体層上に金属層を形成し、前記金属層、前記高K誘電体層、及び前記シリコン酸化窒化物層をパターニング及びエッチングして、ゲート積層を形成する工程を含む方法。

【請求項2】 MOSFETトランジスタであって、半導体基板の上にある多層ゲート誘電体であって、前記多層ゲート誘電体はシリコン酸化窒化物の層と、酸素含有高誘電率材料の層とを含み、前記多層ゲート誘電体の上にある金属ゲート電極、前記ゲート電極の第1の側のソース領域、及び前記ゲート電極の第2の側のドレイン領域を含むMOSFETトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は全般的に、MOSFETトランジスタの分野に関し、さらに詳細には、高Kゲート誘電体を含むゲート積層形成に関連する。

【0002】

【従来の技術及びその課題】現在、半導体デバイスを小型化する強い要求があり、一層高速で消費電力の一層少ない半導体チップの上に一層密度の高いデバイスを提供しようとしている。デバイスの横方向の寸法をスケールアップすると、適切なデバイス性能を達成するために垂直方向のスケールアップも必要になる。この垂直方向のスケールアップにより、要求されるデバイス性能を提供するため、ゲート誘電体の事実上の電気的厚みを薄くすることが必要となる。

【0003】二酸化シリコンはこれまで、好ましいゲート誘電体材料であった。しかし、より最近の技術では、二酸化シリコンの事実上の厚みが、従来限界だと思われていた値を下回る（例えば、 <10 オングストローム）ことが必要とされている。従って、五酸化タンタル及びチタン酸バリウム・ストロンチウムなど、一層高い誘電率の（高K）材料を用いることに関心が向けられている。より高いK材料を用いることにより、一層薄い事実上の電気的厚みを得る一方で一層厚い物理的厚みを許容できる。

【0004】残念なことに、高K材料の殆どは、酸素を含有すると考えられており、更に／又は酸素雰囲気中で形成される。従って、形成中、高K誘電体と基板との間の基板表面上に二酸化シリコンが形成される。二酸化シリコンの厚みは、高K材料で得られるべき利点の殆どが失

われる程度の厚みである。

【0005】高K誘電体は、蓄積キャパシタ・セル誘電体としてメモリ用途にも評価されている。先行技術の一つのアプリケーションにおいて、高K誘電体形成中の更なる酸化に対する障壁として、シリコン上に窒化物層を形成するためアンモニア窒化を用いている。その後、高K誘電体が窒化物障壁層上に形成される。しかし、窒化物障壁層は境界状態密度が高く、これはゲート誘電体の用途には有害である。

【0006】

【課題を達成するための手段及び作用】本発明は、高K誘電体形成の前に薄い二酸化シリコン層のリモート・プラズマ窒化（RPN）を用いる。RPNは高K誘電体形成中の酸化を抑制し、事実上の電気的厚みが一層薄いゲート誘電体を生成する。

【0007】本発明の利点は、事実上の電気的厚みが低減されたゲート誘電体を提供することである。

【0008】この利点及び別の利点は、図面に関連させて本明細書を参照することにより当業者に明らかになるう。

【0009】

【実施例】図面を参照して本発明の一実施例を説明する。本発明を0.1ミクロンのMOSFETトランジスタに関連して説明する。本発明の利点は、ここに説明される寸法を適切に調整して他の寸法のトランジスタにも適用することができることは、当業者には明らかであろう。これらの利点は、レイズド（raised）ソース／ドレイン領域を有するようなトランジスタなど、以下に説明するものとは異なるトランジスタにも適用され得る。

【0010】本発明に従ったゲート積層104を有するMOSFETトランジスタ100を図1に示す。トランジスタ100は半導体基板102に配置され、絶縁領域112によって他のトランジスタ（図示せず）から分離される。しかし、先行技術で既知の別の絶縁メカニズムを代わりに用いてもよい。ソース／ドレイン領域114及びドレイン拡張領域116は、ゲート積層104の向かい合う側面に配置される。

【0011】ゲート積層104は多層ゲート誘電体で構成される。第1の層はシリコン酸化窒化物層106である。これは約15オングストロームの物理的厚み、及び二酸化シリコンの誘電率（ ~ 4 ）より大きく、窒化シリコンの誘電率（ ~ 7 ）より小さい誘電率を有する。シリコン酸化窒化物層106の上にあるのが高K誘電体層108である。高Kとは、ここでは、10より大きな誘電率を有する誘電体材料を指すのに用いる。層108は典型的に、 Ta_2O_5 、 $BaTiO_3$ 、 TiO_2 、 CeO_2 、又はBSTなど、酸素を含有する高K誘電材料で構成される。しかし、層108は、代わりに、別の源からの酸素をその環境に入れるプロセスを用いて形成される、高K材料で構成されてもよい。高K層108の厚み

は約90オングストロームである。こうして、ゲート誘電体の全体の事実上の電氣的厚みは、二酸化シリコンの約15~20オングストロームである。

【0012】ゲート積層104は更に、高K層108の上にあるゲート電極110を有する。ゲート電極110は、酸素を含有する高K誘電体上に二酸化シリコンの付加層を形成し易いポリシリコンなどの金属を含むことが好ましい。選択される金属は、プロセス統合、及びデバイスの閾値電圧を最終的に決める仕事関数の点で、誘電体層108に合わせる必要がある。例えば、ゲート電極110は、TiNなどの障壁層に関連して、タングステン、アルミニウム、又は銅で構成され得る。好ましい実施例において、高K層108はTa₂O₅で構成され、ゲート電極110は、窒化チタン(TiN)の層の上にあるタングステン(W)の層で構成される。

【0013】次に、本発明の実施例に従ってゲート積層104を形成する方法を説明する。図2Aに示すように、半導体基板102の表面上に薄い二酸化シリコン層118が形成される。層118は約15オングストロームの厚みを有する。層118は、酸化物の連続層が得られる限りできるだけ薄くすることができる。層118の最大の厚みは、最終的なゲート誘電体の所望の電氣的厚みに依る。実際の用途では、これは0.10ミクロン技術において15~20オングストロームであり得る。

【0014】図2Bに関し、二酸化シリコン層118はリモート・プラズマ窒化(RPN)に曝される。RPNは、層118を二酸化シリコンからシリコン酸化窒化物層106に変える。層106の事実上の電氣的厚みは、材料の誘電率の変化によって低減される。シリコン酸化窒化物106は、約15オングストロームの物理的厚み、及び、二酸化シリコンの誘電率(~4)より大きくシリコン窒化物の誘電率(~7)より小さい誘電率を有する。

【0015】プラズマのための窒素源は、N₂又はNH₃などの前駆物質を含む窒素、又はそれらと任意の他の不活性ガス(He、Arなど)又は酸化ガス(NO、N₂O、O₂など)との混合物であり得る。プラズマは高密度プラズマであることが好ましい。プラズマは、多数の源の中の任意の1つによって発生され得る。例えば、以下の源：ヘリコン源、螺旋共振器源、電子サイクロトロン共鳴源、又は誘導結合源、の1つを用いることができる。基板202は、バイアスをかけないようにすることも可能であり、その場合イオン化された物質は、プラズマ電位(即ち、約20ボルト)で加速され、その後、二酸化シリコン層118表面の中に打ち込まれる。基板102にバイアスを印加して、プラズマからのイオンをさらに加速して、それらを表面に一層深く打ち込むことも可能である。DC又はRFバイアスのいずれも基板10

2に印加され得る。例として、以下の処理条件を用いることができる：プラズマ密度は 1×10^{10} から 1×10^{12} 、窒素流量は1から100 sccm、圧力は約1から50 mTorr、温度は77 Kから773 K (500°C)の範囲、基板バイアスは0から50ボルトの範囲、期間は10から60秒の範囲である。

【0016】RPN後、図2Cに示すように、シリコン酸化窒化物層106上に高K誘電体層108が形成される。層108は、典型的に、Ta₂O₅、BaTiO₃、TiO₂、CeO₂、又はBSTなど、酸素を含有する高K誘電材料で構成される。しかし、層108は、代わりに、別の源からの酸素をその環境に入れるプロセスを用いて形成される、高K材料で構成されてもよい。高K誘電体層108を形成する方法は、用いる材料によって変化する。これらの材料の多くをデポジットする、改良された方法が現在開発されている。

【0017】本発明の好ましい実施例において、Ta₂O₅が層108として用いられている。これは、LPCVD工程を用いる以下の方法で形成され得る。RPN後、デバイスは低温(例えば、~300°C)のファーンエスにロードされる。ウェハは、両端にサイド・ダミー・ウェハを有するリング・ボートの交互スロットに配置されることが好ましい。このボートとサイド・ダミー・ウェハは、少なくとも100オングストロームのTa₂O₅で被覆されなければならず、さもなければ非均一の厚みが問題となり得る。

【0018】ローディング後、ファーンエス・ポンプがバージング(purge)され、温度はデポジション温度(即ち、およそ410~450°C)まで上昇され、反応ガスが導入される前に安定化される。加熱段階中のキャリアとしてN₂又はNH₃が用いられ得る。NH₃は、表面が窒化されたままであることを確実にする。

【0019】その後、金属有機物源が導入され、デポジションのため低圧で酸素と反応させる。金属有機物源は、タンタル・ペンタエトキシド(TAETO)又はタンタル・テトラエトキシド(TATDMAE)を含む。タンタル源は粘性の液体であり、タンタルをファーンエスへ搬送するバブルド(bubbled)N₂などのキャリア・ガスと共にバブラー(bubbler)に供給される。しかし、バブラーは120~150°Cで作動しなければならず、長期的な安定性が問題となり得る。好ましい搬送技術は、容量型即ちCVDポンプを用いることである。これによりタンタル源は加熱した気化器に分け与えられ、N₂などのキャリア・ガスと混ざり、その後ファーンエスへ搬送される。代替として、タンタル源は、加熱した気化器に源の液体を注入する液体MFC(マス・フロー・コントローラ)を介して供給されてもよい。

【0020】デポジション条件の例は：

圧力： 0.1から1 Torr (典型的に0.2から0.3 Torr)

TAETO流量： 0.1から1.0cc/分 (典型的に0.2から0.4cc/分)

O₂流量: 500-1000 sccm (典型的に1000 sccm)
 N₂キャリア流量: 500-1000 sccm (典型的に750 sccm)
 温度: 410-450°C
 時間: 10-15オングストローム/分の成長率で約10分

【0021】デポジション後、ファーンエ管はサイクル・パーキングされ、アンロード温度まで冷却する前にT A E T Oを取り除き、チャンバを空気圧まで戻す。プロセス全体で約3-4時間かかる。代わりに、R T P処理は、400-500°Cでより短い期間用いられてもよい。

【0022】漏れを減らし、強固な境界を提供するため、高K層108の形成の後に付加的なアニールが続いてもよい。例えば、デバイスはR T Aシステムで約800°Cの温度で約2分間、又はファーンエで約30分間、窒素アニールされ得る。

【0023】図2Dに関し、ゲート電極材料110は、高K層108の上にデポジットされる。ゲート電極材料110は金属で構成されることが好ましい。選択される金属は、誘電体層108と合わせる必要がある。例えば、ゲート電極材料110は、障壁T i N層と共にタングステン、アルミニウム、又は銅で構成され得る。好ましい実施例において、ゲート電極材料110は、約200オングストロームの厚みを有する窒化チタン(T i N)の層の上にある約800オングストロームの厚みを有するタングステン(W)の層で構成される。

【0024】最後に、ゲート電極材料110、高K層108、及びシリコン酸化窒化物層106は、パターニングされエッチングされて、図に示すようなゲート積層104を形成する。トランジスタ100の製造は、ドレイン拡張領域116を打ち込み、誘電体をデポジット及びエッチングして、側壁スペーサ117を形成し、ソース/ドレイン領域114を打ち込むことによって終了する。

【0025】本発明は例示用の実施例を参照して説明されたが、本説明が限定的な意味に解釈されることを意図しているのではない。これら例示用の実施例の種々の変形及び組合せばかりでなく本発明の他の実施例も、本説明を参照すれば当業者にとって明白である。したがって、添付の特許請求の範囲はあらゆるこれらの変形及び組合せを包含することを意図する。

【0026】以上の説明に関して更に次の項を開示する。

(1) 集積回路を製造する方法であって、半導体基板上に二酸化シリコン層を形成し、前記二酸化シリコン層をリモート・プラズマ窒化に曝して、前記二酸化シリコン層をシリコン酸化窒化物層に変え、前記シリコン酸化窒化物層上に高K誘電体層を形成し、前記高K誘電体層は10より大きい誘電率を有し、前記高K誘電体層上に金属層を形成し、前記金属層、前記高K誘電体層、及び

前記シリコン酸化窒化物層をパターニング及びエッチングして、ゲート積層を形成する工程を含む方法。

【0027】(2) 第1項に記載の方法であって、前記二酸化シリコン層は20オングストロームより薄い厚みを有する方法。

(3) 第1項に記載の方法であって、前記高K誘電体層は、Ta₂O₅、BaTiO₃、TiO₂、CeO₂、及びB S Tから成るグループから選択される材料を含む方法。

(4) 第1項に記載の方法であって、前記金属層は窒化チタン層の上にあるタングステン層を含む方法。

(5) 第1項に記載の方法であって、前記リモート・プラズマ窒化は、N₂又はNH₃又はそれらのと不活性ガス又は酸化ガスとの混合物から成るグループから選択される前駆物質を含む窒素を用いる方法。

(6) 第1項に記載の方法であって、前記リモート・プラズマ窒化は1から50 mTorrの範囲の圧力で行われる方法。

(7) 第1項に記載の方法であって、前記リモート・プラズマ窒化は、1×10¹⁰から1×10¹²の範囲のプラズマ濃度を有する方法。

(8) 第1項に記載の方法であって、前記リモート・プラズマ窒化は、1から100 sccmの範囲の窒素流量を有する方法。

【0028】(9) M O S F E Tトランジスタであって、半導体基板の上にある多層ゲート誘電体であって、前記多層ゲート誘電体はシリコン酸化窒化物の層と、酸素含有高誘電率材料の層とを含み、前記多層ゲート誘電体の上にある金属ゲート電極、前記ゲート電極の第1の側のソース領域、及び前記ゲート電極の第2の側のドレイン領域を含むM O S F E Tトランジスタ。

(10) 第9項に記載のトランジスタであって、前記シリコン酸化窒化物層は20オングストロームより薄い厚みを有するトランジスタ。

(11) 第9項のトランジスタであって、前記高誘電率層は、Ta₂O₅、BaTiO₃、TiO₂、CeO₂、及びB S Tから成るグループから選択される材料を含むトランジスタ。

【0029】(12) 事実上の電気的厚みが減少されたゲート誘電体を有するゲート積層104。薄い(例えば、~15オングストローム)二酸化シリコン層が基板102上に形成される。二酸化シリコン層のリモート・プラズマ窒化が行われ、酸化に対する耐性を有するシリコン酸化窒化物層106をつくる。酸素を含有する高K誘電体108は、層106の酸化を付加することなく、

シリコン酸化窒化物層106上に形成される。その後、ゲート電極110が高K誘電体108上に形成される。

関連出願

米国特許出願番号 出願日

60/019,429

1996年6月7日

60/035,375

1996年12月5日

TIケース番号 発明者

TI-23502P

ハッタンガディ他

TI-22980P

クラフト他

【図面の簡単な説明】

【図1】本発明に従ったゲート誘電体を有するトランジスタの断面図。

【図2】AからDは、図1のトランジスタの製造における種々の段階の断面図。

【符号の説明】

100 トランジスタ

102 基板

104 ゲート積層

106 シリコン酸化窒化物層

108 高K誘電体層

110 ゲート電極

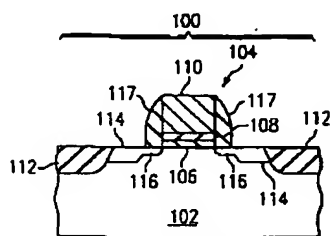
112 絶縁領域

114 ソース/ドレイン領域

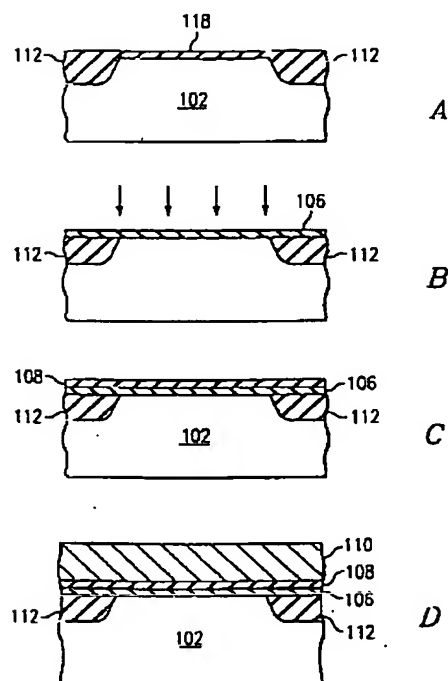
116 ドレイン拡張領域

117 側壁スペーサ

【図1】



【図2】



フロントページの続き

(72)発明者 マルコム ジェイ. ビバン
アメリカ合衆国, テキサス, ガーランド,
バインヤード トレイル 7514

Fターム(参考) 5F040 EC01 EC04 EC07 EC12 ED01
ED03 EF02 FA03 FA15 FA17
FB02 FC00
5F058 BA20 BD01 BD05 BD15 BF07
BF27 BF29 BF30 BF74 BH01
BJ01 BJ10